

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平6-188429

(43)公開日 平成6年 (1994) 7月8日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H O I L 29/788			H O I L 29/78	3 7 1
29/792		6741-5L	G I I C 17/00	3 0 7 D
G I I C 16/02		7210-4M	H O I L 27/10	4 3 4
16/04				
H O I L 27/115				

審査請求 未請求 請求項の数1 (全 7 頁)

(21)出願番号 特願平4-336211

(22)出願日 平成4年 (1992) 12月16日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 下地 規之

京都市右京区西院溝崎町21番地 ローム株式会社内

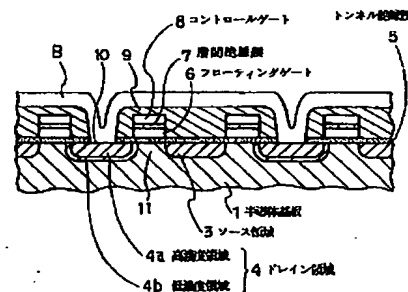
(74)代理人 弁理士 朝日奈 宗太 (外2名)

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 フローティングゲートを有するメモリトランジスタのドレインの高耐圧化を達成し、FN電流を用いて書き込み、消去操作が可能な半導体記憶装置を提供する。

【構成】 半導体基板に設けられたドレイン領域、ソース領域および該ドレイン領域とソース領域で挟まれたチャネル領域と、該チャネル領域上で前記半導体基板表面にトンネル絶縁膜を介して順次設けられたフローティングゲート、層間絶縁膜およびコントロールゲートとからなるメモリセルがマトリクス状に配列されてなる半導体記憶装置であって各メモリセルのドレイン領域4が高濃度領域4aとその周囲を囲む低濃度領域4bの二重拡散層により形成されている。



【特許請求の範囲】

【請求項1】 (a) 半導体基板に設けられた (イ) ドレイン領域、(ロ) ソース領域および (ハ) 該ドレイン領域とソース領域で挟まれたチャネル領域と、

(b) 該チャネル領域上で前記半導体基板表面に順次設けられた (ニ) トンネル絶縁膜、(ホ) フローティングゲート、(ヘ) 層間絶縁膜および (ト) コントロールゲートとからなるメモリセルがマトリックス状に配列されてなる半導体記憶装置であって、前記各メモリセルのドレイン領域が高濃度領域とその外周に設けられた低濃度領域の二重拡散層からなり、前記ドレイン領域の高濃度領域の端部が前記各メモリセルのフローティングゲートの下方に位置するように形成されてなる半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体記憶装置に関する。さらに詳しくは、ドレイン領域の高耐圧化を図り、書込みおよび消去をともにFN電流で行うことができる半導体記憶装置に関する。

【0002】

【従来の技術】 電氣的にデータの書換えが可能で無電源状態でもデータ保持ができるEEPROMが幅広く使用されている。このEEPROMにはフローティングゲートにホットエレクトロンを注入するフラッシュメモリ型と、絶縁膜にFNトンネリングやダイレクトトンネリングなどにより、電子を注入する金属-酸化膜-窒化膜-酸化膜-半導体構造のMONOS (metal oxide nitride oxide semiconductor) 型や金属-窒化膜-酸化膜-半導体構造のMNOS (metal nitride oxide semiconductor) 型とがある。

【0003】 フローティングゲートを有する半導体記憶装置のメモリセルは、たとえば図6に示されるように、シリコンからなるp型の半導体基板21にチャネル領域22を挟んでその両側にリンなどの不純物が導入されたn⁻型の低濃度領域23aとヒ素などが導入されたn⁺型の高濃度領域23bからなるソース領域23およびヒ素などのn⁺型の不純物が導入されたドレイン領域24が形成され、前記チャネル領域22の上面には、酸化法などにより酸化ケイ素などからなるトンネル絶縁膜25が設けられたのち、CVD法などによりフローティングゲート26、層間絶縁膜27およびコントロールゲート28が順次設けられ、前記ソース領域23およびドレイン領域24はそれぞれソース線29およびビット線30に連結されてメモリセルを構成している。ソース領域23を二重拡散構造にする理由は、消去の際高電圧をソースに印加するため、耐圧を向上させる目的で低濃度領域23aを設けている。

【0004】 この半導体記憶装置の書込みおよび消去を行うばあい、以下の手順で行われる。

【0005】 書込みを行うばあい、まず、ソース電極29

を接地した状態で、コントロールゲート28に12Vとビット線30に6〜7V程度の比較的高い電圧を印加する。これにより、ソース領域23とドレイン領域24のあいだに電流が流れ、ドレイン領域24近傍の高電界の部分に高エネルギーのホットエレクトロンが発生する。このホットエレクトロンはトンネル絶縁膜25のエネルギー準位を上回るため、トンネル絶縁膜25を通過し、フローティングゲート26に注入される。このようにして、所望のセルのフローティングゲート26にのみホットエレクトロンの注入を行い、書込みを行う。

【0006】 一方、消去を行うばあいには、コントロールゲート28を接地し、かつビット線30側をフロートにした状態でソース電極29に12V程度の高電圧を印加することにより、ホットエレクトロンをフローティングゲート26から引き抜くことにより行う。

【0007】

【発明が解決しようとする課題】 しかし、叙上の半導体記憶装置では、書込みを行うばあいにホットエレクトロンを用いている。そのため、高エネルギーを有するホットエレクトロンはソースとドレインのあいだに流れる電流の1%にも満たなく、大部分の電流は無駄となり、注入効率が非常にわるく、消費電流が多くなる。しかも、高エネルギーを有するホットエレクトロンがトンネル絶縁膜を通過するため、トンネル絶縁膜にストレスが発生し、書込み回数に制限が生じる。

【0008】 本発明者は、この問題を解決するため、フローティングゲートを有するメモリセルの駆動方式としてFN電流によりフローティングゲートに電子を注入することにより消去状態とし、電子を引き抜くことにより書込み状態とする方式を考え出した。この方法によれば、注入効率を大幅に向上させることができるが、FN電流を発生させて書込み操作を行うときにドレイン側に高電圧 (約12V程度) が印加されるためドレイン領域24の耐圧がもたないという問題が生じる。したがって従来のフローティングゲートを有するメモリセルにFN電流による書込みをするためには、ドレイン領域の高耐圧化が不可欠となる。

【0009】 一方、MOSICの高密度化につれてゲート長が1μm以下にまで短縮されてくると、ドレイン近傍の電界強度が大きくなり、電子のゲート絶縁膜へのトラップなど、トランジスタの特性、信頼性上好ましくないため、ドレイン領域を二重拡散構造とするLDD形MOSトランジスタが実用化されている。しかし、この構造はとくに短かいゲート長のMOSトランジスタでホットキャリアの発生を防止することを目的として採用されるもので、ドレイン領域の低濃度領域の端部がゲート電極の端部下側に位置するもので、高濃度領域の端部はゲート電極よりはるかに外側に存在するものである。

【0010】 本発明ではかかる問題を解決するためになされたものであり、フローティングゲートを有する半導

体記憶装置のドレインの高耐圧化を達成し、書込み、消去の両方共をFN電流を用いる半導体記憶装置を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明の半導体記憶装置は、(a)半導体基板に設けられた(イ)ドレイン領域、(ロ)ソース領域および(ハ)該ドレイン領域とソース領域で挟まれたチャネル領域と、(b)該チャネル領域上で前記半導体基板表面に順次設けられた(ニ)トンネル絶縁膜、(ホ)フローティングゲート、(ヘ)層間絶縁膜および(ト)コントロールゲートとからなるメモリセルがマトリックス状に配列されてなる半導体記憶装置であって、前記各メモリセルのドレイン領域が高濃度領域とその外周に設けられた低濃度領域の二重拡散層からなり、前記ドレイン領域の高濃度領域の端部が前記各メモリセルのフローティングゲートの下方に位置するように形成されてなることを特徴としている。

【0012】

【作用】本発明の半導体記憶装置によれば、各メモリセルのドレイン領域の周囲にドレイン領域より低濃度の拡散層が設けられているため、書込み時にコントロールゲートを接地した状態でドレイン電極に高電圧を印加しても、基板とのあいだに十分な高耐圧化がえられる。しかもゲート領域の高濃度領域がフローティングゲートの端部下にかかっているため、書込み時にフローティングゲートからの電子の引抜きも効率的に行える。

【0013】これにより、FN電流によりフローティングゲートに電子を注入することにより記憶の消去状態とし、コントロールゲートに対しドレインを高電位にすることにより、フローティングゲートから電子を引き抜き書込み状態とすることができるため、書込み、消去共に両電極間に印加された電圧に基づき電子が移動するFN電流により行われ、電流に相当する電子の注入、引抜きが行われ、無駄な消費電流が激減する。また、高エネルギーを有する電子を注入するというホットエレクトロンの利用ではないため、半導体基板とフローティングゲート間のトンネル絶縁膜の劣化が少なく、書換え回数を大幅に増加できる。

【0014】

【実施例】つぎに図面を参照しながら、本発明の半導体記憶装置の説明を行う。

【0015】図1は、本発明の半導体記憶装置の一実施例を示す各記憶素子の平面配置を示す平面図、図2は図1のII-II線断面図、図3は図2の要部拡大断面図、図4は本発明の半導体記憶装置の消去、書込みの方法を説明する図で、(a)が消去法の説明図、(b)が書込み法の説明図、図5はフローティングゲートを有するメモリトランジスタをマトリックス状に配列したスタック型半導体記憶装置の等価回路図である。

【0016】図1～3において、半導体基板1にフィー

ルド絶縁膜2がマトリックス状に形成され、図1において縦方向に並ぶメモリセルを分離している。メモリセルは図2に示されるように、ソース領域3とドレイン領域4とのあいだのチャネル領域11上の表面にトンネル絶縁膜5を介して第1のポリシリコン層からなるフローティングゲート6、層間絶縁膜7および第2のポリシリコン層からなるコントロールゲート8が積層され、その表面を覆う層間膜9に設けたコンタクト孔にビットコンタクト10が設けられ、横方向に並ぶセルの各ドレイン領域4を電気的に接続するビット線Bが設けられている。各メモリセルのドレイン領域4は高濃度領域4aと低濃度領域4bとからなる二重拡散層で形成され、高濃度領域4aの端部もフローティングゲート6の下方に延びている。これはフローティングゲート6からドレイン領域4に電子を引き抜くためである。

【0017】このような構造にすることにより、ドレイン領域4の濃度勾配がなだらかになり、逆バイアス印加時に電界が緩和され、高耐圧化が達成される。

【0018】この半導体記憶装置を製造するには、まず図1の平面図に示すようにフィールド絶縁膜2を酸化法などにより半導体基板1の表面に設けたのち、図2～3の断面図に示すように、活性領域上にたとえば酸化ケイ素膜からなるトンネル絶縁膜5を80～120 Åの厚さで設ける。

【0019】つぎに、フローティングゲート6とするたとえば第1のポリシリコンをたとえばCVD法により1000～2000 Åの厚さ堆積し、層間絶縁膜7とする酸化ケイ素、窒化ケイ素、酸化ケイ素からなるONOの3層構造の絶縁膜を全体で200～300 Åになるように同じくCVD法などで堆積する。さらにコントロールゲート8とする第2のポリシリコン層を同様に3000～4000 Åの厚さ設けたのちパターニングし、各メモリセルのフローティングゲート6、層間絶縁膜7およびコントロールゲート8を設ける。そののちドレイン領域の低濃度領域4bを形成するため、レジスト膜などでマスキングしてたとえばリンイオンをドーズ量 $1E14 \sim 5E14 / \text{cm}^2$ 、50～150 keVのエネルギーで打込み、不純物濃度が $1E18 \sim 1E19 / \text{cm}^3$ の低濃度領域とする。つぎに、コントロールゲート8などをマスクとしてヒ素イオンなどを $5E14 \sim 5E15 / \text{cm}^2$ のドーズ量で50～100 keVの注入エネルギーによりイオン打込みすることにより、ソース領域3およびドレイン領域の高濃度領域4aがそれぞれ不純物濃度 $1E20 \sim 5E20 / \text{cm}^3$ で形成される。さらに酸化ケイ素などからなる絶縁膜を全体に被膜し横方向に並ぶ各セルのドレイン領域を結ぶビット線11や縦方向に並ぶ各メモリセルのコントロールゲートを連結するワード線(図示せず)をAl-SiまたはAl-Si-Cuなどにより1000 Å程度の厚さで設ける。

【0020】前述のフローティングゲート6とコントロールゲート8とのあいだの層間絶縁膜をONOの3層構

造にしたのは、絶縁性を高めるためであるが、いずれか1層または2層で構成してもよい。また、ドレイン領域をリンによる低濃度領域とヒ素による高濃度領域の例で説明したが、リン不純物は周囲に拡散し易くヒ素不純物は拡散しにくく高濃度を維持するため好ましいが、必ずしも限定されない。さらに、p型半導体基板上にn型のソース、ドレイン領域の例で説明したが、それぞれ逆の導電型でもよい。

【0021】つぎに、本発明の半導体記憶装置の駆動法を説明する。

【0022】従来のフローティングゲートを有するフラッシュメモリはフローティングゲートにホットエレクトロンを注入することにより書込みを行い、電子を引き抜くことにより消去をしていたが、本発明では、電子をフローティングゲートに注入することにより消去状態とし、各セルごとに電子を引き抜くことにより書込み状態とすることによって、電子の移動を両電極間に印加された電圧に基づくFN電流で行うことに特徴がある。

【0023】まず、記憶状態を消去する方法は、図4

(a)のようにコントロールゲートが半導体基板1に対して高電位になるように電圧を印加し、基板から電子をフローティングゲートに注入することによって行う。たとえば、コントロールゲート8に18V、ソース領域3および半導体基板1を接地(0V)にすることにより半導体基板1からコントロールゲート8にFN電流が流れ、フローティングゲート6にトンネル絶縁膜5を通り抜けて電子が注入される。ドレイン領域4はフロート状態としておく。この消去はワードラインごとに一括して行われる。そのため、他のワードライン(他の列のメモリトランジスタのコントロールゲート)は0Vとする。

【0024】つぎに、書込みは図4(b)のように選択セルP₁のコントロールゲート1を接地し、ドレイン領域4が12V程度の高電位になるように電圧V_{dr}を印加しフローティングゲート6から電子を引き抜くことによって行う。このとき、非選択セルのコントロールゲート8には6V程度の禁止電位V_iを印加し、書込みを防止する。

【0025】書込み時の電位の印加状態はこの例に限らず、たとえばコントロールゲート8を接地するのではなく、負の電位-7V程度を印加することにより、ドレイン領域4に5V程度の低い電位を印加することもできる。その結果、ドレイン領域4と基板1間の電位差は小さくなりリーク電流も減少し、耐圧的にも向上する。

【0026】このメモリトランジスタのセルが図5のようにマトリックス状に配列され、各列のセルのコントロールゲートを連結してワード線W₁、W₂……が形成され、各行のセルのドレインを接続してビット線B₁、B₂……が形成され、各メモリトランジスタのソースが連結されてソース線とされることにより、スタック型半導体記憶装置が形成される。

【0027】この半導体記憶装置のマトリックス状に形成された各セルのうち選択セルP₁の消去、書込み、読出しの方法について説明する。

【0028】まず、消去に関しては、選択セルP₁の存在するワード線W₁に高電位(約18V)を印加し、他の列のワード線W₁、W₂、W₃……、ソース線および基板に0Vまたはそれに近い低電位を印加し、各ビット線をフロート状態Fにすることにより、FNトンネリングによる電子の注入が行われ、ワード線単位で消去される。この電位の印加法としては、ワード線W₁に11Vを印加し、基板に-7Vを印加し、他のワード線W₁、W₂、W₃……を0Vにすると共にビット線B₁、B₂……およびソース線をフロート状態Fにすることによっても同様にワード線単位で消去される。

【0029】つぎに、セルP₁のメモリトランジスタに書き込むばあいには、ワード線W₁を接地し、他の列のワード線W₁、W₂、W₃……には禁止電位V_i(約6V)を印加する。また、セルP₁のビット線B₁には高電位(約12V)を印加し、セルP₁の行以外のビット線B₂……はフロート状態Fとする。また、各セルのソースと基板は0Vにする。そうすると、セルP₁のトランジスタはドレインがコントロールゲートに対して高電位になり、フローティングゲートからドレイン側に電子が引き抜かれて書込みがなされる。一方、他のセルは、異なる列のセルは全てワード線に禁止電位約6Vが印加されており、ドレインとの電圧が低く、書込みは行われず、セルP₁と同じ列にあり、セルP₁以外の下の行の各セルは、ビット線B₂……がフロート状態Fになっており、電流が流れないため書込みはなされない。したがって、セルP₁以外のセルには書込みが行われず、セルP₁のみに書込みが行われる。また、コントロールゲートに負の電位を印加するときは、ワード線W₁に-7V、ビット線B₁に5Vを印加し、他のワード線W₁、W₂、W₃……および基板を0V、ビット線B₂……およびソース線をフロートとすることにより同様に書込みをできる。

【0030】さらに、読出しに関しては、たとえばセルP₁の読出しを行うばあい、書込みの際の高電圧より低い電位(約5V)をワード線W₁に印加し、ビット線B₁に1V程度を印加し、他の列のワード線W₁、W₂、W₃……および他の行のビット線B₂……ならびにソース線と基板を0Vにすることにより読出しができる。すなわち、セルP₁のみが、ドレインの電位がソースの電位より1V程度高くしてこのトランジスタに電流が流れうる状態にあり、コントロールゲートに印加された電圧とフローティングゲートに注入された電子の状態によるしきい値電圧に応じてONになったり、OFFになることにより、「1」または「0」の状態を読み出すことができる。

【0031】これらの関係を表にまとめると表1のよう

になる。

【0032】

【表1】

表 1

	W_1	W_2	W_3	W_4	B_1	B_2	ソース	基板
消 去	0	0	18V	0	F	F	0	0
書 込 み	6V	6V	0	6V	12V	F	0	0
読 出 し	0	0	5V	0	1V	0	0	0

F: フロート

【0033】 また、負電圧を用いたばあいの電圧の関係は表2のようになる。

【0034】

【表2】

表 2

	W_1	W_2	W_3	W_4	B_1	B_2	ソース	基板
消 去	0	0	11V	0	F	F	F	-7V
書 込 み	0	0	-7V	0	5V	F	F	0
読 出 し	0	0	5V	0	1V	0	0	0

F: フロート

【0035】

【発明の効果】 本発明によれば、ドレイン領域の高耐圧化を達成することができるため、フローティングゲートを有するメモリトランジスタの消去をフローティングゲートに電子を注入することにより行い、書込みをフローティングゲートから電子を引抜くことにより行え、書込み、消去のいずれもFN電流で行うことができる。その結果、電子の注入効率がほぼ100%となり、無駄な電流がないため、低消費電力化を達成でき、電池駆動のパソコンなどにおいても電池の交換または充電を大幅に減少できる。さらに、FN電流による電子の注入、引抜きを行い、高いエネルギーを有するホットエレクトロンの注入がなされないため、トンネル絶縁膜の劣化が少なく、書換え回数も大幅に向上する。

【図面の簡単な説明】

【図1】 本発明の半導体記憶装置の一実施例を示す平面説明図である。

【図2】 図1のII-II線断面図である。

【図3】 図2の要部拡大断面図である。

【図4】 本発明の半導体記憶装置の消去、書込みの方法を説明する図で、(a)が消去法の説明図、(b)が書込み法の説明図である。

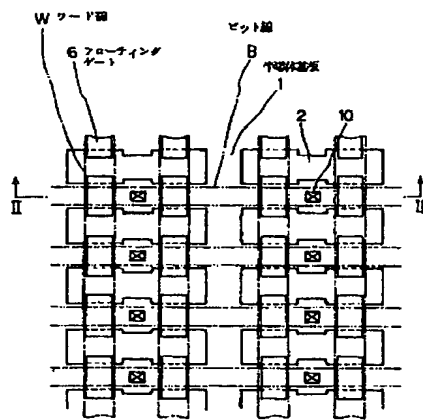
【図5】 フローティングゲートを有するメモリトランジスタをマトリックス状に配列したスタック型半導体記憶装置の等価回路図である。

【図6】 従来の半導体記憶装置の断面図である。

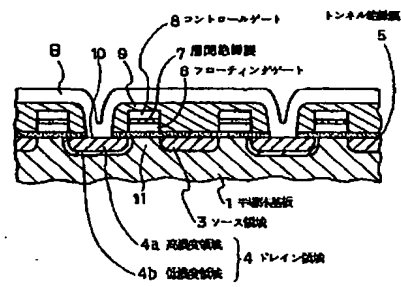
【符号の説明】

- 40 1 半導体基板
- 3 ソース領域
- 4 ドレイン領域
- 4 a 高濃度領域
- 4 b 低濃度領域
- 5 トンネル絶縁膜
- 6 フローティングゲート
- 7 層間絶縁膜
- 8 コントロールゲート

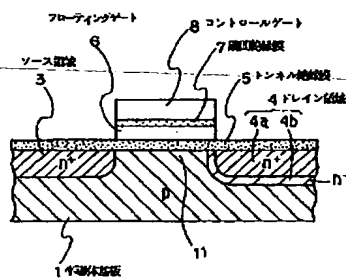
【図1】



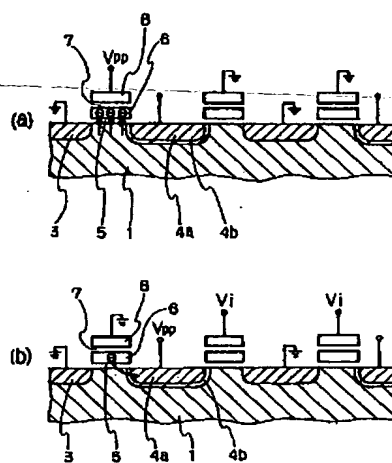
【図2】



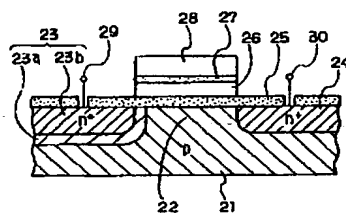
【図3】



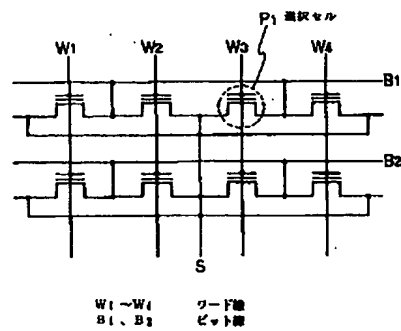
【図4】



【図6】



【図5】



フロントページの続き

(51)Int. Cl.⁵

G11C 16/04

H01L 27/115

識別記号

庁内整理番号

F I

技術表示箇所

7210-4M

H01L 27/10

434